

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-093905  
(43)Date of publication of application : 07.04.1995

(51)Int.Cl.

G11B 20/12  
G11B 27/10

(21)Application number : 05-239700

(71)Applicant :

MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.09.1993

(72)Inventor :

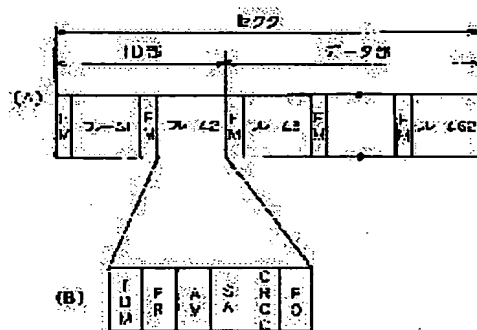
MUTO AKIRA  
KATO SATOSHI

## (54) DIGITAL SIGNAL RECORDING/REPRODUCING FORMAT

### (57)Abstract:

PURPOSE: To improve reliability in the detection of a sector address of an ID part and of reproduction data by building up the ID part and a data part composing a sector with a plurality of frames.

CONSTITUTION: A digital signal is recorded or reproduced by the unit of sector. The sector is made up of a plurality of frames divided equally and an ID part made up one or a plurality of frames. At the same time, a data part is made up of a specified number of frames and a frame mark is arranged at the head of the frames.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-93905

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/12		9295-5D		
27/10	C	8224-5D		
		8224-5D	G 1 1 B 27/ 10	C

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平5-239700

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22) 出願日 平成5年(1993)9月27日

(72) 発明者 武藤 朗

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 加藤 諭

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

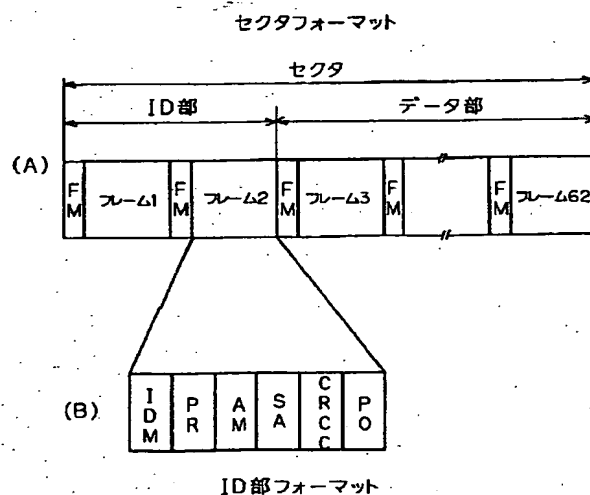
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 デジタル信号記録再生フォーマット

(57) 【要約】

【目的】 本発明は、セクタ単位でデジタル信号を記録あるいは再生するフォーマットに関するもので、セクタを構成するID部とデータ部が複数個のフレームで構成され、ID部のセクタアドレス検出の信頼性と再生データ信頼性を向上させる記録再生フォーマットを提供することを目的とする。

【構成】 セクタを複数個の等分割されたフレームで構成し、ID部を1個あるいは複数個のフレームで構成し、かつデータ部を所定の個数のフレームで構成し、前記フレームの先頭にはフレームマークを配置したものである。



(2)

1

## 【特許請求の範囲】

【請求項1】セクタ単位で情報を記録あるいは再生する装置で、前記セクタがセクタの記憶媒体上の物理的位置を示すID部と情報をデジタル信号として記録あるいは再生するデータ部とから構成されるフォーマットで、前記セクタを複数の等分割されたフレームで構成し、前記ID部は1個あるいは複数のフレームで構成し、かつ前記データ部は所定の個数のフレームで構成し、前記フレームの先頭にはフレームマークを配置したことを特徴とするデジタル信号記録再生フォーマット。

【請求項2】フレームマークはID部及びデータ部に存在しない0のみあるいは1のみのパターンあるいは特定の0もしくは1からなるパターンで構成したことを特徴とする請求項1記載のデジタル信号記録再生フォーマット。

【請求項3】ID部の中には、データ部には存在せずかつフレームマークと異なる特定の0もしくは1からなるパターンで構成したIDマークを有することを特徴とする請求項1記載のデジタル信号記録再生フォーマット。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はデジタル信号の記録再生フォーマットに関し、特にセクタ単位でデジタル信号を記録あるいは再生するフォーマットに関する。

## 【0002】

【従来の技術】デジタル信号をセクタ単位に記録再生する装置で、例えば光ディスクデータファイル装置がある。光ディスクデータファイル装置において、そのセクタ構造はID部とデータ部から構成され、ISO/IEC DIS 10090で規格化されているセクタフォーマットがある。このセクタフォーマットとデータ部フォーマットを図3、図4に示す。ここで、データ部に関しては、RS（リシンク（1～39））がデータ15B毎に存在し、再生時は同期を取りながらデータの読み出しを行う。しかしながら、ID部に関しては、データ部と同様に15B周期で存在するRSあるいはその他RSに相当するマークは存在しない。

【0003】従って、再生時にデータ部の先頭を示すSYNC（同期）マーク（SB1、SB2、SB3）を検出ミスした場合、何らかの方法で、SYNCマークを補間してデータを読み出す必要がある。その方法として、SM検出信号からSYNCマーク検出信号を補間するか、あるいは前セクタのSYNCマーク検出信号から補間する方法があった。つまり、以前に検出された何らかの信号から予測して、検出されるべき位置に予測信号を出力する方法である。

## 【0004】

【発明が解決しようとする課題】しかし、以前に検出された何らかの信号と予測信号とに時間的に差が大きい場

2

合、回路規模が大きくなるという問題点あるいは信頼性が低下するという問題点があった。

【0005】また、データ部におけるRS検出信号が出力されなかった場合、SYNC検出信号あるいは以前のRS検出信号から予測して補間するが、ID部では、もともとRS信号の様な周期的なRS信号に相当するマークが存在しない。そのため、ID部では補間を中止する必要があり、データ部とID部で切り換えしなければならず、補間方法が複雑になってしまうという課題があった。

【0006】本発明は上記の欠点を解消し、RS信号等の特定のマークの検出ミスした時のその補間方法を容易に行い、かつ信頼性を高めることが可能なデジタル信号を記録あるいは再生するフォーマットを提供することを目的とする。

## 【0007】

【課題を解決するための手段】この目的を達成するため本発明は、セクタを複数のフレームで構成し、フレーム間隔を同一の周期とし、フレームの先頭にFM（フレームマーク）を配置し、ID部は1個あるいは複数のフレームの、データ部は所定の個数のフレームで構成するものである。

## 【0008】

【作用】フレームマークが周期的に存在するため、フレームマーク検出信号が何らかの理由により検出されなかった場合、あるいはフレームマークが検出されるべき位置以外の場所で検出されてしまった場合の補間あるいは除去が非常に簡単な回路構成で実現し、信頼性が向上する。

## 【0009】

【実施例】以下、本発明の実施例について、図面を参照しながら説明する。図1（A）、図1（B）、図2は、それぞれセクタフォーマット、ID部フォーマット、データ部フォーマットを示す。

【0010】図1（A）に示したように、1セクタは62フレームから構成され、ID部は2フレーム、データ部は60フレームからなる。フレームマーク（FM）は等間隔周期である。また、図1（B）に示したように、ID部のフレーム1と2はそれぞれIDマーク（IDM）、プリアンプル（PR）、アドレスマーク（AM）、セクタアドレス（SA）、エラーチェック用コード（CRCC）、ポストアンプル（PO）から構成される。つまりID部は2重書きになっており、ID部検出の信頼性を上げている。なお、ID部は1回書きあるいは3重書き以上でも構わない。

【0011】IDMはID部とデータ部の区別をする目的とID部の先頭位置を示す目的である。PRとPOは0と1がそれぞれ同数個繰り返したパターンである。例えば、データ部には存在せずかつフレームマークと異なる特定の0もしくは1からなるパターンが好まし

(3)

い。AMはSAの先頭に存在し、次にSAが続くことを示す。CRCはセクタアドレスにビット誤りがあったことを検出するためのコードである。

【0012】データ部は図2に示すように縦方向にフレームが並び、1フレームは48Bのデータからなり、フレーム3からフレーム54までは40Bのメインデータと8Bの誤り訂正用のパリティで構成され、フレーム55からフレーム62までは48BのECCパリティで構成されている。但し、1フレームのデータが48Bである必要はない。以上のようにID部とデータ部は同一周期のフレームで構成されている。

【0013】なお、1セクタのフレーム数は実施例では62フレームとしたが、62フレームである必要はなく任意である。

【0014】また、フレームマークはID部及びデータ部に存在しない0のみあるいは1のみのパターンあるいは特定の0もしくは1からなるパターンで構成することが好ましい。

【0015】

【発明の効果】以上のように本発明は、フレームマークが周期的に存在するため、フレームマーク検出信号が何らかの理由により検出されなかった場合、あるいはフレームマークが検出されるべき位置以外の場所で検出されてしまった場合に、補間あるいは除去がID部とデータ部で区別することなく非常に簡単な回路構成で実現することが可能である。

【0016】また、回路構成がID部とデータ部で切り換える必要もなく単純化されたことで信頼性も向上する。その結果、ID部のセクタアドレス検出の信頼性、及びデータの検出の信頼性が向上する。

【図面の簡単な説明】

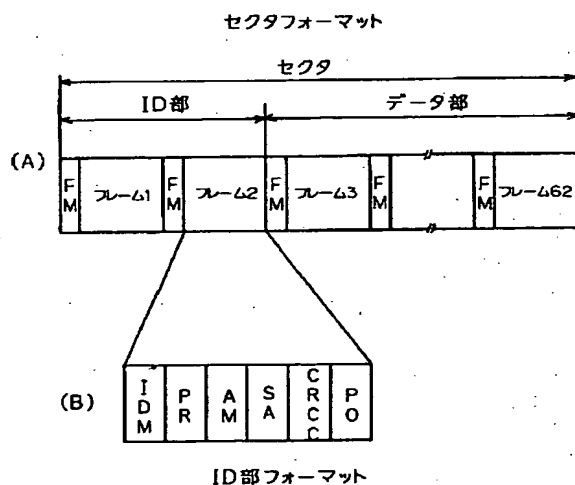
【図1】本発明の一実施例におけるセクタフォーマットを示す図

【図2】本発明の一実施例におけるデータ部フォーマットを示す図

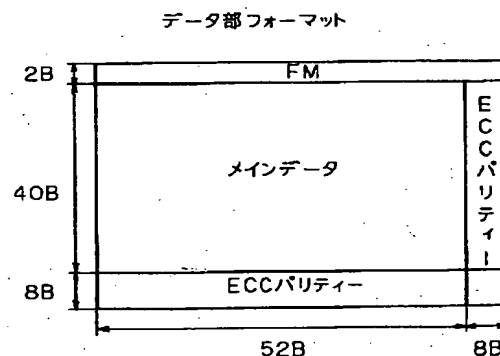
【図3】従来例におけるセクタフォーマットを示す図

【図4】従来例におけるデータ部フォーマットを示す図

【図1】



【図2】



(4)

【圖3】

### 従来例におけるセクタフォーマット

SM	VFO <sub>1</sub>	A M	ID	VFO <sub>2</sub>	A M	ID	VFC	A M	ID	P A	ODF	VFO <sub>3</sub>	S Y N C	DATA+RESYNC +ECC+CRC	P A	B U F F
5	12	1	5	8	1	5	8	1	5	1	6	12	3	639	1	12
52 バイト											654 バイト					
ID 部											データ 部					
725 バイト物理セクタ																

【図4】

### 従来例におけるデータ部の構成

Figure 1 illustrates a memory layout with three data blocks and their corresponding ECC blocks. The layout is organized into three main sections, each with a data block and an ECC block.

**Top Section:**

- Data Block:** A 104-row block with columns SB1, SB2, SB3, and five data columns (1, 2, 3, 4, 5). The data is organized into rows 11-15, 16-20, 21-25, and 26-30.
- ECC Block:** A 16-row block with columns E1,1, E2,1, E3,1, E4,1, and E5,1.

**Middle Section:**

- Data Block:** A 16-row block with columns 501, 502, 503, 504, 505, 506, 507, 508, 509, 510, and five ECC columns (E1,1 to E5,1). The data is organized into rows 501-505, 506-510, and 511-515.
- ECC Block:** A 16-row block with columns E1,1, E2,1, E3,1, E4,1, and E5,1.

**Bottom Section:**

- Data Block:** A 16-row block with columns E1,14, E2,14, E3,14, E4,14, E5,14, E1,15, E2,15, E3,15, E4,15, E5,15, and five ECC columns (E1,1 to E5,1). The data is organized into rows E1,14-E5,14, E1,15-E5,15, and E1,16-E5,16.
- ECC Block:** A 16-row block with columns E1,1, E2,1, E3,1, E4,1, and E5,1.